



PAMIĘCI PÓŁPRZEWODNIKOWE

Odmiany pamięci dynamicznych

Bibliografia: **Urządzenia techniki komputerowej**, K. Wojtuszkiewicz
Anatomia PC. Wydanie IX, P. Metzger
<http://pl.wikipedia.org/>

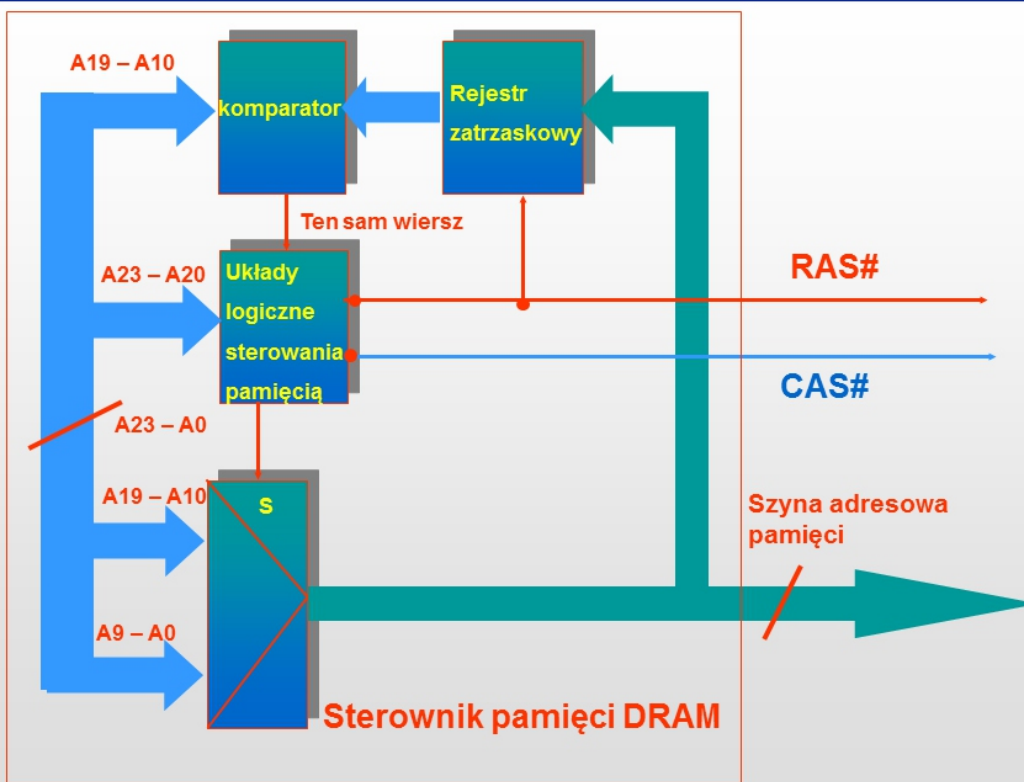
Dostęp w trybie stronicowania

Dostęp do pamięci w trybie stronicowania jest sposobem na przyspieszenie współpracy z pamięcią DRAM. Realizuje się to poprzez wykorzystanie dwóch zależności:

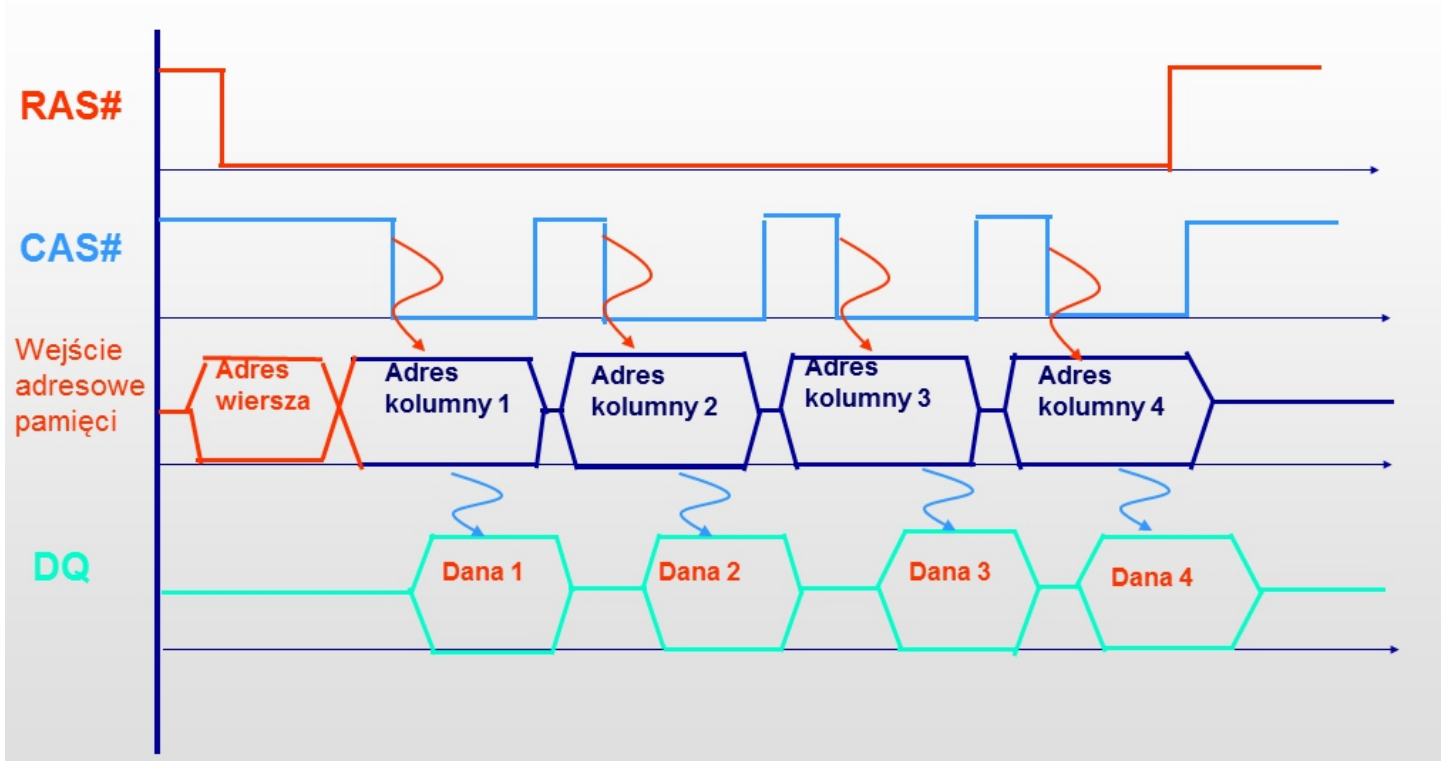
większość odczytów dokonywana jest spod kolejnych, położonych koło siebie adresów. Oznacza to, że starsza część adresu (adres wiersza) nie zmienia się, a zmienia się jedynie adres kolumny. Wyjątkiem są słowa położone kolejno na początku i na końcu wiersza.

czas $t_{D_{RAS-CAS}}$ stanowi około 50% czasu dostępu. – Jeżeli przy kolejnych odczytach nie będziemy zmieniać adresu wiersza, a jedynie adres kolumny, to czas dostępu do pamięci ulegnie skróceniu (w przybliżeniu o czas opóźnienia sygnału CAS względem RAS)

Układy logiczne realizujące tryb stronicowania



Praca pamięci DRAM w trybie stronicowania



Dostęp w trybie stronicowania

Początek pracy (dostępu do pamięci) jest prawie identyczny jak dla zwykłych pamięci DRAM.

podawany jest adres wiersza, który jest zatrzaskiwany w rejestrze zatrzaskowym wiersza wewnątrz układu pamięci.

podawany jest adres kolumny, który jest zatrzaskiwany w rejestrze zatrzaskowym kolumny wewnątrz układu pamięci.

Kolejny dostęp różni się od poprzedniego.

po dodaniu nowego adresu przez zarządcę magistrali jego część będąca adresem wiersza jest porównywana z zawartością rejestru adresu wiersza w układzie sterowania pamięcią. Jeżeli jest identyczna, układ sterowania pamięcią DRAM utrzymuje stan niski sygnału RAS# do końca bieżącego cyklu odczytu. Oznacza to, że kolejny dostęp dotyczy słowa położonego w tym samym wierszu i należy wczytać jedynie adres kolumny, bez generowania opóźnienia sygnału CAS# względem RAS#

Dostęp w trybie seryjnym (**burst**)

Dostęp do pamięci możliwy jest w postaci cykli zgrupowanych (seryjnych - burst) – najczęściej stosowany przy współpracy pamięci głównej z pamięcią cache. Pamięć ta odczytuje bądź zapisuje informacje liniami, których długość zależy od rozwiązania pamięci cache i przykładowo dla systemów z procesorem **Pentium** wynosi 32 bajty.

Ponieważ procesory Pentium mają 64-bitową (8 bajtów) magistralę danych, potrzeba 4 dostępu do pamięci, aby wypełnić linię.

Operacje te dotyczą kolejnych, leżących obok siebie słów.

Adres wiersza przy każdym dostępie będzie stały, a jedynie adres kolumny będzie się zmieniał - o jeden więcej.

Aby pamięć mogła pracować w trybie burst należy wewnątrz pamięci umieścić układ, który będzie zwiększał wartość adresu kolumny o 1 po każdym podaniu zbocza aktywnego sygnału CAS#.

Zysk czasowy wynika z braku konieczności zapewnienia tak zwanego czasu ustalania oraz czasu przetrzymania dla adresu kolumny.

Praca pamięci DRAM w trybie seryjnym (burst)

