



PAMIĘCI PÓŁPRZEWODNIKOWE

Pamięć SDRAM

Bibliografia: **Urządzenia techniki komputerowej**, K. Wojtuszkiewicz
Anatomia PC. Wydanie IX, P. Metzger
<http://pl.wikipedia.org/>

Architektura PC od czasu Pentium II wymagała zwiększenia przepustowości magistrali pamięciowej powyżej 66 MHz. Podstawka pod procesor „Super 7”, umożliwiała podwyższenie przepustowości poza zakres 66 MHz. Główny problem polegał na tym, że stosowane pamięci nie dały się dostosować do nowych wymogów – brak możliwości zwiększania częstotliwości taktowania.

Rozwiązano ten problem wprowadzając nowy typ pamięci SDRAM.

Pamięci dynamiczne SDRAM (S– synchroniczne) nie różnią się w swej naturze od innych pamięci dynamicznych; nośnikiem informacji jest nadal matryca komórek bazujących na kondensatorach i tranzystorach w technice CMOS. Inne są natomiast sposoby sterowania taką matrycą oraz technika dostępu.

Wszystkie sygnały sterujące SDRAM synchronizowane są poprzez jeden przebieg zegarowy. Ułatwia to integrację pamięci w systemie (współpraca z magistralami), bowiem znacznie prościej jest utrzymać (mimo podwyższonych częstotliwości taktujących) i zagwarantować zastrzone reżimy czasowe.

Dostęp do pamięci SDRAM realizowany jest zwykle w formie cykli zgrupowanych (burst). Dostęp grupowy obejmuje swoim zasięgiem 2, 4 lub 8 kolejnych lokacji albo też rozciąga się na całą wiersz.

Adres początkowy grupy przenoszony jest w pierwszym cyklu wprowadzającym (lead off).

Reszta adresów określana jest w sposób domniemany, a ich wytwarzaniem zajmuje się wewnętrzny licznik pamięci. Dostęp może mieć charakter sekwencyjny i przemierzać kolejne adresy logiczne lub przebiegać według pewnego określonego szablonu w obrębie grupy poczwórnej.

Burst może zostać przerwany (przejście w tryb Suspend) i ponownie wznowiony, a jego poszczególne elementy - opuszczone (sygnał DQM)

Przed przystąpieniem do pracy układ SDRAM musi zostać zaprogramowany. Operacja ta dokonywana jest na polecenie BIOS-u i odbywa się zwykle w momencie włączenia komputera.

Większość układów SDRAM dzieli się na niezależne bloki (zwykle 2 lub 4) nazywane bankami.

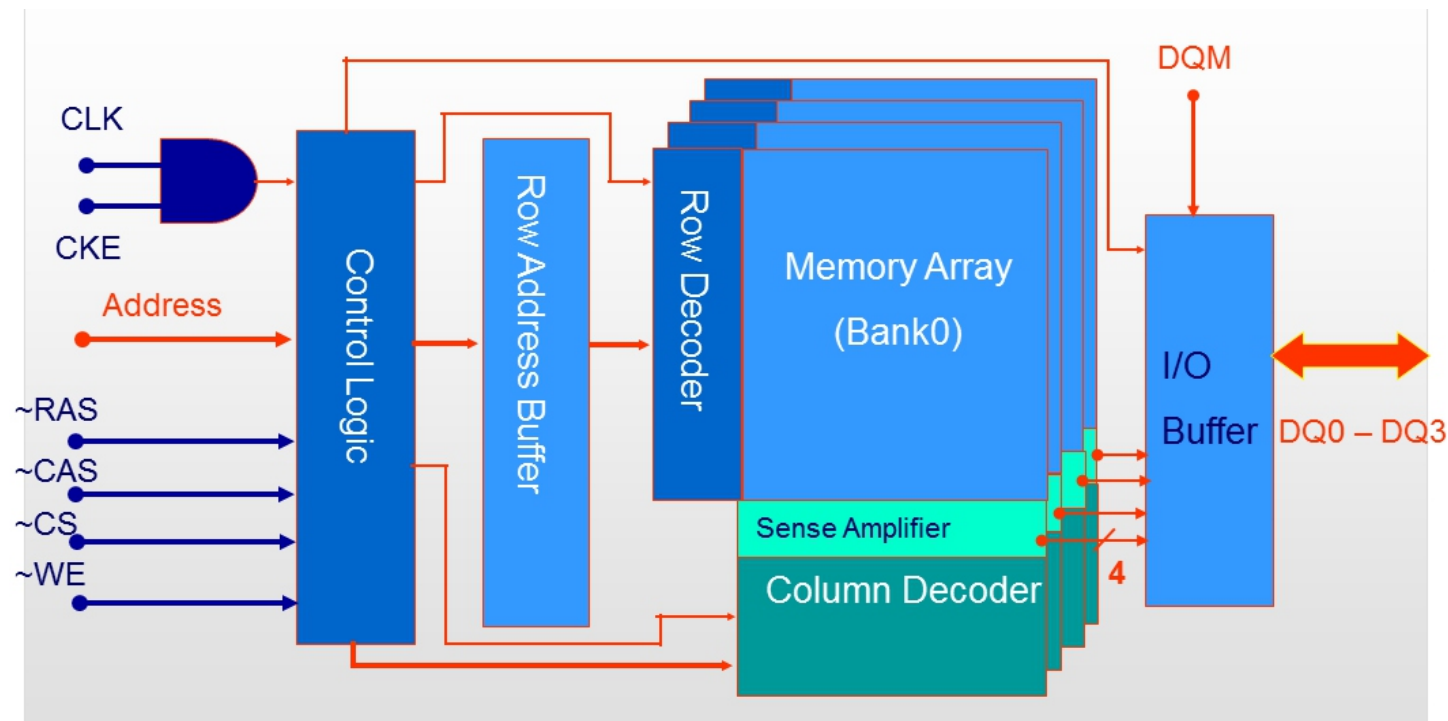
Banki są na tyle autonomiczne, że można je wykorzystywać niezależnie od siebie. Umożliwia to ukrywanie niektórych opóźnień czasu dostępu.

Problem odświeżania przeniesiony został całkowicie do wnętrza pamięci SDRAM, a kontroler pamięci nie jest już nim obciążony. Każdy chip wyposażony jest w e własny generator pobudzający w odpowiednim rytmie wszystkie wiersze matrycy.

zalety

Zaletą tej techniki jest widoczne (i mierzalne) w określonych warunkach:

- skrócenie **czasu opóźnienia** przy częstotliwościach powyżej 66 MHz – np.: dla 100 MHz – tylko 10 ns.



SDRAM– schemat blokowy układu TMS664414

Opis oznaczeń

Control Logic – kontrola logicznych sygnałów

Row Address Buffer – bufor adresowania wierszów

Row Decoder – dekodery adresów wierszów

Memory Array (Bank) – tablica (bank) pamięci

Sense Amplifier – różnicowy wzmacniacz odczytu

Column Decoder – dekodery adresów kolumn

I/O Buffer – bufor wejścia - wyjścia

Linie zewnętrzne

układ zamknięty jest w obudowie TSOP-II(odszukać w Internecie) i ma 54 końcówki, do których doprowadzone są sygnały zawarte w tabeli:

Sygnały	Znaczenie	Sygnały	Znaczenie
DQ0 – DQ3	Data Input/ Data Output	\sim WE	Write Enable
DQM	Output Disable/ Write Mask	\sim CS	Chip select
A0 – A9,A11	Row/Col. Address	CLK	Clock Input
A10 (AP)	Auto Precharge	CKE	Clock Enable
BS0,BS1	Bank Select	\sim RAS	Row Address Select
\sim CAS	Column Address Select		

Magistrala danych

Każdy z banków (**Memory Array**) omawianego układu wyprowadza po cztery linie danych, co oznacza, że magistrala danych jest czterobitowa, a banki są całkowicie niezależne.

Maskowanie wejścia i wyjścia (DQM)

Linia DQM umożliwia wycinanie pojedynczych elementów z pakietów Burst. W normalnym trybie pracy stan sygnału na linii DQM utrzymywany jest na niskim poziomie logicznym.

Podniesienie jego poziomu do logicznej 1 – powoduje:

W trakcie trwania cyklu zapisu – ignorowanie porcji danych, która byłaby przyjęta przez SDRAM w momencie wyznaczonym przez narastające zbocze sygnału CLK.

W trakcie trwania cyklu odczytu – z sekwencji wyjściowej wycinana jest porcja danych, a w fazie czasowej, w której miałyby wystąpić, układ przechodzi w stan wysokiej impedancji.

Magistrala adresowa i selektor banku

Magistrala adresowa jest dwunastobitowa (A0 – A11) i podlega multipleksowaniu – tymi samymi liniami podawane są różne fragmenty adresu w wydzielonych wycinkach czasowych. W pierwszej kolejności przekazuje się adres wiersza, a następnie adres kolumny. Szczególne znaczenie ma linia A10, która decyduje o trybie dezaktywacji (precharge) banku.

Linie BS0 i BS1 umożliwiają wybór do bieżącej operacji jednego z czterech banków układu. Selektory banków można przypisać do magistrali adresowej, co powoduje jej wydłużenie do rozmiaru 14 bitów (A0 – A13).

Sygnały sterujące \sim RAS, \sim CAS, \sim WE.

Oznaczanie aktualnej fazy podawania adresu dokonywane jest poprzez sygnały sterujące \sim RAS (wiersz) i \sim CAS (kolumna).

Linia \sim WE pełni rolę przełącznika zapisu i odczytu.

Linia \sim CS (Chip Select).

Stan końcówki \sim CS testowany jest przy każdym narastającym zboczach CLK. Urządzenie znajduje się w stanie aktywnym dopóty, dopóki \sim CS pozostaje na poziomie zera logicznego. Wykrycie poziomu 1 powoduje przejście w stan, w którym sterowniki DQ odcinają się od magistrali (stan wysokiej impedancji), a układ nie reaguje na żadne sygnały wejściowe z wyjątkiem \sim CS. Funkcje sterujące oferowane przez \sim CS znajdują zastosowanie w przypadku grupowania pojedynczych chipów SDRAM w moduły pamięci.

Końcówki CLK (Clock) i \sim CKE (Clock Enable).

CLK jest centralnym zegarem sterującym, do którego odnoszą się wszystkie inne sygnały. Układ pamięci SDRAM rejestruje stan wszystkich końcówek wejściowych w momencie wykrycia narastającego zbocza sygnału CLK. Poziom sygnałów na wyjściach układu należy również oceniać w tych samych momentach.

\sim **CKE** stanowi bramkę blokującą lub przepuszczającą sygnał zegarowy do wnętrza układu. W normalnym stanie pracy \sim CKE znajduje się na wysokim poziomie logicznym. Wymuszenie stanu 0 na tym wejściu powoduje przejście SDRAM w tzw. **stan uśpienia (Suspend Mode)**.

Tryb ten charakteryzuje się znacznie zmniejszonym poborem mocy (o około 99%). Z punktu widzenia sygnałów sterujących następuje „**zamrożenie**” **aktualnego stanu** - przerwane zostają cykle zapisu i odczytu,

układ ani nie wyprowadza,

ani nie przyjmuje danych.

Przywrócenie normalnego działania następuje przy drugim zboczach CLK liczonym od momentu, gdy \sim CKE=1.

SDRAM- ROZKAZY

Pamięć SDRAM wymienia dane z otoczeniem w dużych porcjach:

im są większe, tym wyższa jest skuteczność działania.

Pod pewnymi względami chip SDRAM należy rozpatrywać jako pewien programowalny sterownik obsługujące swe własne matryce pamięciowe.

Lista rozkazów tego sterownika obejmuje pozycje umożliwiające:

konfigurację urządzenia,
operację zapisu i odczytu,
manipulację bankami.

rozkaz	~CS	~RAS	~CAS	~WE	BS1 (A13)	BS0 (A12)	A11	A10	A9-A0
Mode Register Set	0	0	1	0	0	0	0	0	Register Set Data w-0-0-13-12-11-a-b3-b2-b1
Bank Precharge	0	0	1	0	Numer banku: 00: B0 01: B1 10: B2 11: B3		Bez znac.	0	Bez znaczenia
Row Address	0	0	1	1	Numer banku: 00: B0 01: B1 10: B2 11: B3		r - 11	r - 10	r9-r8-r7-r6-r5-r4-r3-r2-r1-r0
Column Address Entry Read	0	1	0	1	Numer banku: 00: B0 01: B1 10: B2 11: B3		Bez znac.	0	c9-c8-c7-c6-c5-c4-c3-c2-c1-c0

Faza programowania (Mode Set).

Układ SDRAM musi zostać zaprogramowany przed podjęciem pracy. W trakcie tej operacji określa się następujące parametry:

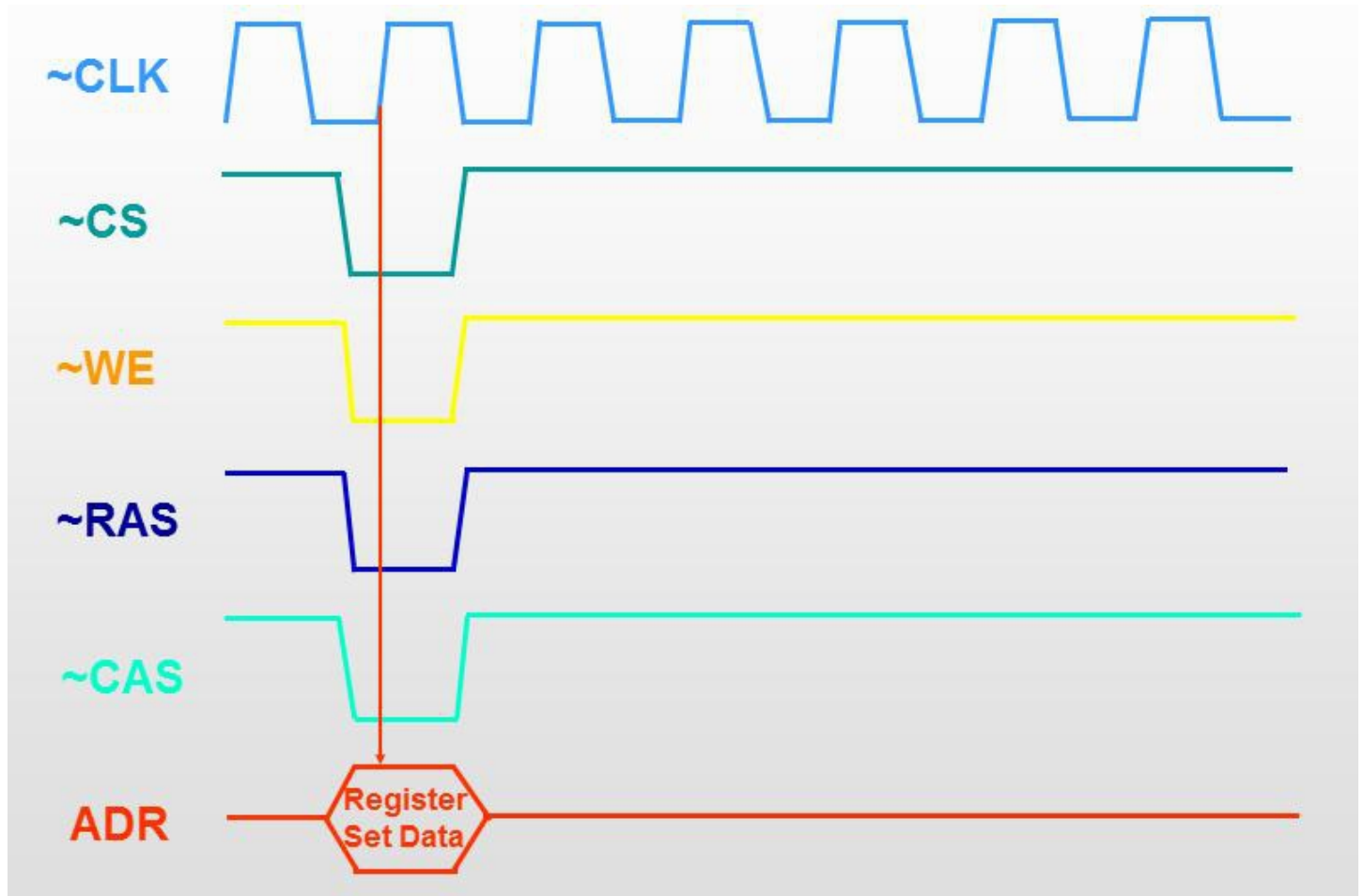
wymiar opóźnienia pomiędzy przyłożeniami adresu kolumny a wprowadzeniem pierwszej porcji danych (CAS Latency). Parametr ten podaje się w jednostkach CLK, a dopuszczalne wartości to 2 lub 3.

długość pakietu (Burst Length); dopuszczalne wartości to 1, 2, 4, 8³.

format pakietu – sekwencyjny lub z przeplotem.

Powyższe parametry przekazuje się w formie słowa 10-bitowego podawanego na liniach A0 – A9. Układ SDRAM rozpoznaje fazę programowania dzięki określonej konfiguracji sygnałów sterujących: $\sim RAS = \sim CAS = \sim WE = 0$.

Dane na liniach A0 – A9 sprawdzane są pod względem swej poprawności i jeśli nie spełniają przyjętych kryteriów, zostają odrzucone, a stan układu nie ulega zmianie.



faza programowania SDRAM

Aktywacja banku.

Omawiany układ podzielony jest na cztery banki. Banki mogą być wykorzystywane niezależnie. Właściwość ta ma zasadnicze znaczenie z punktu widzenia ciągłości danych. SDRAM zorganizowany w formie pojedynczego banku zmuszony jest do wprowadzania przerw w momencie zmian adresu wiersza.

Sekwencje **aktywacja – deaktywacja** (Precharge) to nic innego, jak przygotowanie elektroniki do odczytu. Następuje tu podładowanie linii wiersza do poziomu połowy napięcia zasilania. Operacja ta jest niezbędna dla zapewnienia prawidłowego funkcjonowania wzmacniaczy różnicowych. Układ rozpoznaje polecenie aktywacji poprzez specyficzną kombinację sygnałów sterujących $\sim RAS = 0$, $\sim CAS = 1$, $\sim WE = 1$. Na liniach A12 i A13 kodowany jest numer banku (0 – 3). Naprzemienne (Interleave) pobudzanie banków maskuje czas potrzebny na przygotowanie wiersza. W danym momencie zawsze pracuje jeden z banków, a wyprowadzana informacja płynie nieprzerwanym strumieniem w tempie określonym przez CLK.

Zapis i odczyt

Operacje zapisu i odczytu przebiegają najkorzystniej w formie pakietów (Burst). Ponieważ parametry transmisji określono w fazie programowania, wystarczy podać adres początkowy obszaru pamięci, a kolejne lokalizacje zdefiniowane zostają w sposób jednoznaczny. Adres wiersza ustala się w momencie aktywacji banku tak, że zmieniają się jedynie adresy kolumn, a konkretnie kilka ostatnich bitów (np. Burst ośmiokrotny – 3 bity).

Przykład:

Burst Length = **8**

Burst Type = **Seq**

Adres początkowy kolumny:

xxxx ... X101

Adresy kolejne

xxxx ... X110

xxxx ... X111

xxxx ... X000

xxxx ... X001

xxxx ... X010

xxxx ... X011

xxxx ... X100

Przykład:

Burst Length = **4**

Burst Type = **Seq**

Adres początkowy kolumny:

xxxx ... XX10

Adresy kolejne

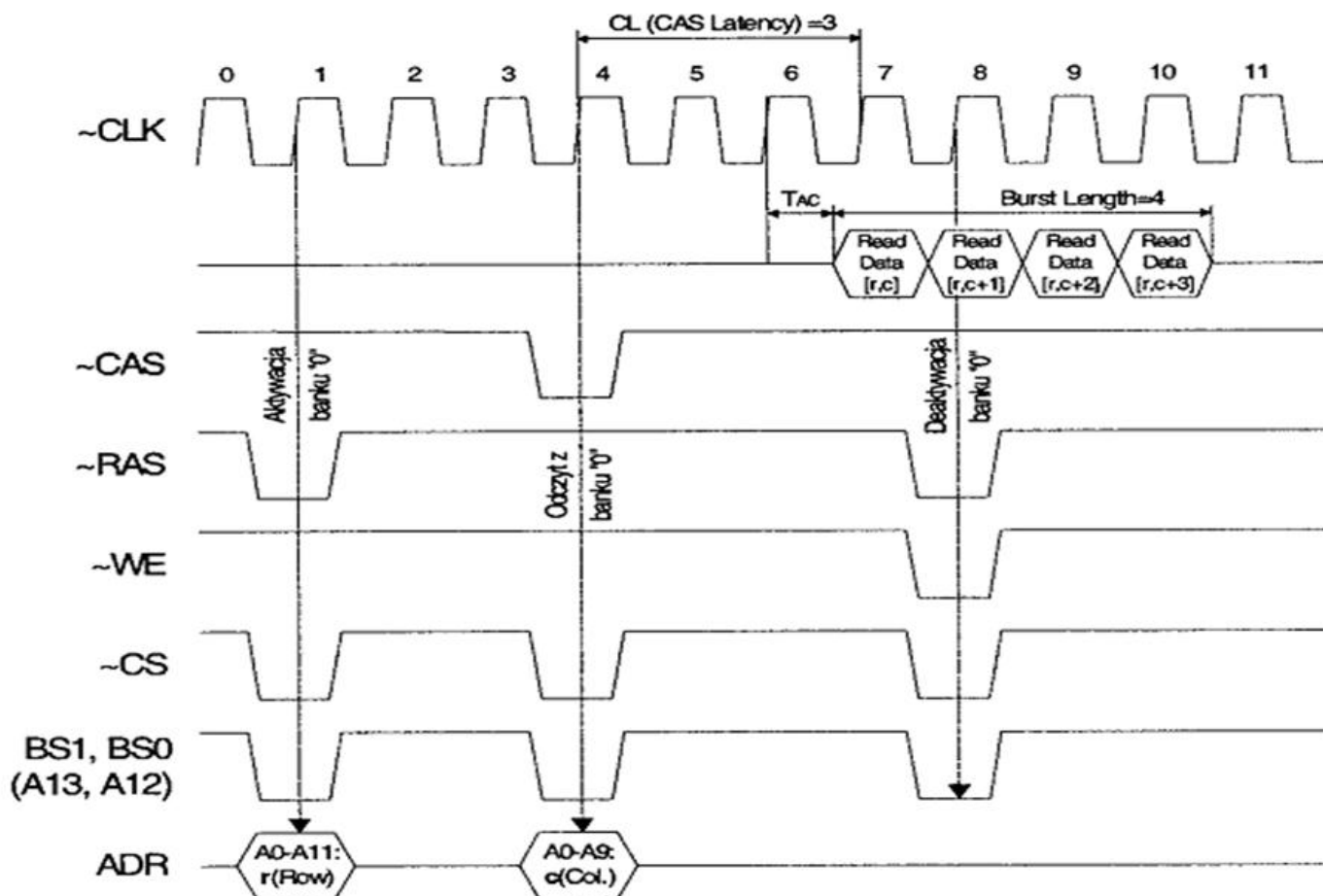
xxxx ... XX11

xxxx ... XX00

xxxx ... XX01

Pierwsza porcja danych pakietu wyprowadzana jest zgodnie z definicją zawartą w fazie programowania (Read Latency lub inaczej CAS Latency) po 2 lub 3 cyklach zegarowych od momentu podania komendy i adresu kolumny. Cykl zapisu następuje bez opóźnienia (Write Latency = 0). Dane przejmowane są z magistrali wraz z wystąpieniem pierwszego narastającego zbocza CLK. (rys.)

Po zakończeniu fazy Burst bufory wyjściowe przechodzą automatycznie w stan wysokiej impedancji i układ jest odcinany od magistrali.



odczyt danych z pamięci SDRAM

Deaktywacja

Podanie adresu nowego wiersza (aktywacja) musi zostać poprzedzone przez deaktywację danego banku. Bank można deaktywować na jeden z trzech sposobów:

Deaktywacja określonego banku o numerze kodowanym na bitach A12 i A13. Polecenie ma postać $\sim RAS = 0$, $\sim WE = 0$, $\sim CAS = 1$. Linia A10 utrzymywana jest na niskim poziomie.

Jednocześnie deaktywacja wszystkich banków. Rozkaz deaktywacji z ustawionym bitem A10 = 1 odnosi się do wszystkich banków, a stan linii A12 i A13 nie ma znaczenia.

Cykle zapisu i odczytu z przyrostkiem Read-P i Write-P (P- Precharge). Różnią się od normalnych operacji ustawieniem linii A10 = 1. Cykle takie przechodzą automatycznie w fazę deaktywacji banku i nie wymagają żadnych dodatkowych działań. Ustawienie A10 = 0 w momencie wydawania polecenia zapisu lub odczytu pozostawia bank w stanie aktywnym.